

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05379209

SPATIAL LIGHT MODULATOR

PUB. NO.: **08-334709** [JP 8334709 A]

PUBLISHED: December 17, 1996 (19961217)

INVENTOR(s): RARII JIEI HOONBETSUKU

APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or Corporation), US (United States of America)

APPL. NO.: 08-097041 [JP 9697041]

FILED: April 18, 1996 (19960418)

PRIORITY: 7-424,021 [US 424021-1995], US (United States of America),  
April 18, 1995 (19950418)

INTL CLASS: [6] G02B-026/08; H04N-005/74

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.6  
(COMMUNICATION -- Television)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010836524      \*\*Image available\*\*

WPI Acc No: 1996-333477/199633

XRFX Acc No: N96-281067

**Spatial light modulator e.g. for digital micromirror device - has pixel mirror which is supported by yoke so electrostatic attraction forces are generated between elevated mirror and elevated address electrode and between yoke and underlying address electrode**

Patent Assignee: HORNBECK L J (HORN-I); TEXAS INSTR INC (TEXI )

Inventor: HORNBECK L J

Number of Countries: 009    Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5535047	A	19960709	US 95424021	A	19950418	199633    B
EP 738910	A2	19961023	EP 96106099	A	19960418	199647
CA 2173637	A	19961019	CA 2173637	A	19960409	199707
<b>JP 8334709</b>	A	19961217	JP 9697041	A	19960418	199709
TW 295631	A	19970111	TW 96104099	A	19960409	199717

Priority Applications (No Type Date): US 95424021 A 19950418

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 5535047	A		16	G02B-026/00	
EP 738910	A2	E	17	G02B-026/08	

Designated States (Regional): DE FR GB IT NL

<b>JP 8334709</b>	A	12	G02B-026/08
CA 2173637	A		G02B-026/08
TW 295631	A		G02B-026/02

**Abstract (Basic):** US 5535047 A

The modulator (10) includes addressing circuitry comprising a first underlying address electrode provided proximate to a substrate and a second elevated address electrode provided above the substrate. A yoke (32) is supported over the underlying address electrode with at least one hinge connected to and supporting the yoke. The hinge allows deflection of the yoke. A pixel mirror (30) is elevated above and supported by the yoke and is positioned over the elevated address electrode. Electrostatic attraction is generated between the elevated pixel mirror and the elevated address electrode and between the yoke and the underlying address electrode.

USE/ADVANTAGE - E.g. optical information processing, projection displays, video and graphics monitors, television receivers, electrophotographic printing. High address torque, high latching torque, high reset forces and wide address margins. Pixel mirror is less susceptible to address upset, requires lower reset voltage and has high switching speed. Dwg.2/15

Title Terms: SPACE; LIGHT; MODULATE; DIGITAL; DEVICE; PIXEL; MIRROR; SUPPORT; YOKE; SO; ELECTROSTATIC; ATTRACT; FORCE; GENERATE; ELEVATE; MIRROR; ELEVATE; ADDRESS; ELECTRODE; YOKE; UNDERLYING; ADDRESS; ELECTRODE

Index Terms/Additional Words: DMD

Derwent Class: P81; U12; V06; V07; W04

International Patent Class (Main): G02B-026/00; G02B-026/02; G02B-026/08

International Patent Class (Additional): G02B-026/10; G02F-001/29; H04N-005/74

File Segment: EPI; EngPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-334709

(43)公開日 平成8年(1996)12月17日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 B 26/08			G 0 2 B 26/08	E
H 0 4 N 5/74			H 0 4 N 5/74	B

審査請求 未請求 請求項の数 1 O L (全 12 頁)

(21)出願番号 特願平8-97041

(22)出願日 平成8年(1996)4月18日

(31)優先権主張番号 4 2 4 0 2 1

(32)優先日 1995年4月18日

(33)優先権主張国 米国 (U S)

(71)出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72)発明者 ラリー ジェイ. ホーンベック

アメリカ合衆国テキサス州バン アルスタ  
イン, ボックス 162, ルート 1

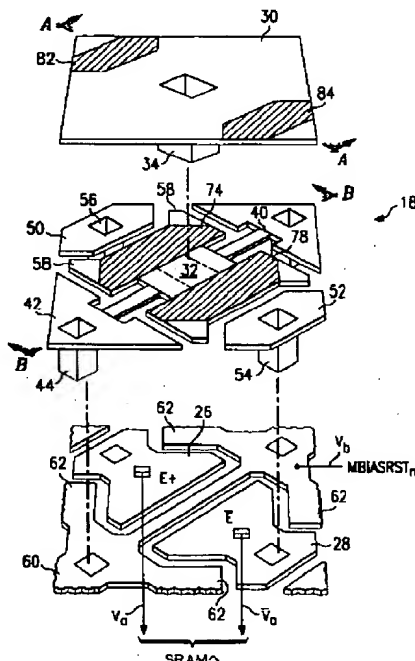
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 空間光変調器

(57)【要約】

【課題】 より効率的なりセット動作等DMDの性能を向上する。

【解決手段】 増加した性能パラメータを有するDMD型の空間光変調器(10)である。画素ミラー(30)がヨーク(32)によって支持され、幾つかの構造体の間に電子静電引力(70, 76, 80, 82)が生じる。まず、高架ミラー(30)と高架アドレス電極(50, 52)の間、次に、ヨーク(32)と下部アドレス電極(26, 28)の間に生じる。画素(30)は、従来の世代のデバイスに比べ、高アドレス・トルク、高ラッチ・トルク、高い復元力、及びより大きなマージンを達成する。基板アドレス電極(26, 28)上のヨーク(32)の近接により、大きな引力が実現され、画素はアドレス・アップセットに感度が低く、より小さなりセット電圧を必要とし、スイッチスピードをより早める。



1

## 【特許請求の範囲】

【請求項1】 空間光変調器であって、  
基板と、  
前記基板に近接して提供される第1の部分と、前記基板  
上に高架される第2の部分とを有するアドレス回路と、  
前記アドレス回路の第1の部分上に支持されるヨーク  
と、  
前記ヨークに接続され、前記ヨークを支持する少なくと  
も1つのヒンジであって、前記ヒンジは前記ヨークを撓  
ませ、  
前記ヨーク上に高架され、ヨークによって支持され、前  
記高架アドレス回路の第2の部分上に位置付けられる画  
素とを含む空間光変調器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は一般的に、光学的画像  
を形成する入射光を変調する空間光変調器に関連し、  
更に詳細には、アドレス回路上に形成されるバイステ  
ブル(bistable)・マイクロミラーのアレイを有するデ  
ジタル・マイクロミラー・デバイス(DMD)に関する。

## 【0002】

【従来の技術及びその課題】空間光変調器(以下SL  
M)には、光学的な情報処理の分野において、投射ディ  
スプレイ、ビデオ・モニター、グラフィック・モニタ  
ー、テレビ及び電子写真プリントなど多数の用途があ  
る。SLMは空間パターンの入射光を変調し、電気的又  
は光学的入力に対応する光画像を形成する装置である。  
入射光は、フェーズ、強度、偏光、又は方向において変  
調され得る。光変調は、電子光学的又は磁気光学的効果  
を示す種々の材料によって、又は表面変形による光を変  
調する材料によって達成される。

【0003】SLMは典型的に、アドレス可能な画素素  
子(画素)の領域又は線形アレイから形成される。ソー  
ス画素データは、まず通常SLMの外にある関連する制  
御回路によってフォーマットされ、その後、1度に1フ  
レームが画素アレイにロードされる。この画素データ  
は、種々のアルゴリズム、つまり、トップからボトムへ  
順に1度に1画素ラインを、あるいは一つおきの画素ラ  
イン、例えば奇数列の画素を、トップからボトムへ順に  
アドレス指定し、その後偶数画素ラインへリターンする  
ことによってインターリーブするなど、を用いて画素ア  
レイに書込まれ得る。陰極線管(CRT)では、このデ  
ータ書込み技術は、高電力電子ガンが発光体の画素を左  
から右へ一度に横切ってスキャンするラスタ化として  
周知である。この画素アドレス書込み方式は液晶ディ  
スプレイ(LCD)にも応用することができる。

【0004】テキサス州ダラスのテキサス・インスツル  
メンツの最近のイノベーションは、デジタル・マイクロ  
ミラー・デバイス又は変形ミラー・デバイス(総称して

2

DMD)である。DMDはディスプレイ、プロジェク  
タ、及びハードコピープリンタの用途に適している電子  
的/機械的/光学的SLMである。DMDは、モノリシ  
ック単一チップ集積回路SLMであり、17ミクロンセ  
ンター上の16ミクロン四方の可動マイクロミラーの高  
密度アレイを有する。これらのミラーは、SRAMアレ  
イセル及びアドレス電極を有するアドレス回路上に形成  
される。各ミラーはDMDアレイの1画素を形成し、バ  
イステブル、つまり2つの位置のうち1つの位置で安  
定(ステイブル)であり、ミラーアレイ上に向けられた  
光源は2方向のうち一方に反射される。1つの安定“オ  
ン”状態において、そのミラーへの入射光は投射レンズ  
へ反射され、表示スクリーン又はプリンタのフォトセン  
シティブ素子にフォーカスされる。他方の“オフ”ミラ  
ー位置において、ミラーへ向けられる光は光アブソーバ  
ーに偏向される。アレイの各ミラーは、投射レンズ又は  
光アブソーバーのいずれかへ入射光を導くよう個別に制  
御される。投射レンズは、表示スクリーン上へ、画素ミ  
ラーから変調された光を最終的にフォーカスし拡大し、  
表示する場合の画像をつくる。DMDアレイの各画素ミ  
ラーが“オン”の位置である場合、表示される画像は明  
るい画素のアレイであり得る。

【0005】DMDデバイス及びその利用についてのよ  
り詳細な説明は、本発明と同じ譲渡人に譲渡されてい  
る、Hornbeckの米国特許番号第5,061,049号、  
発明の名称『空間光変調器およびその方法』、DeMondら  
の米国特許番号第5,079,544号、発明の名称  
『標準独立デジタル化ビデオシステム』、及びNelsonの  
米国特許番号第5,105,369号、発明の名称『プ  
リンティング・システム露光モジュール整合方法及び製  
造方法』を参照されたい。本発明と同じ譲渡人に譲渡さ  
れ、参照のためここに引用する、米国特許番号第5,2  
78,652号、発明の名称『パルス幅変調されたディ  
スプレイ・システムを用いるためのDMDアーキテク  
チャ及びタイミング』に記載されたように、画像を形成す  
る画素のグレイ・スケールは、ミラーのパルス幅変調技  
術によって達成される。

【0006】DMDはそれが真にデジタル・ディスプレ  
イ・デバイスであり、集積回路ソリューションである点  
で革新的である。DMDの進歩及び変化は、共に譲渡さ  
れる種々の特許を参照することによって理解され得る。  
DMD空間光変調器の『第1世代』はミラーとビームが  
同一のものである可撓性ビームを実現した。つまり、電  
子静電力がミラーと下部アドレス電極との間に作られ、  
その撓みを誘導する。これらのミラーの撓みは可変であ  
り、アナログモードで作動し、リーフ・スプリング又は  
片持ちばりビームで構成され得ることは、共に譲渡され  
た、Hornbeckの米国特許番号第4,662,746号、  
発明の名称『空間光変調器およびその方法』、Hornbeck  
の米国特許番号第4,710,732号、発明の名称

『空間光変調器およびその方法』、Hornbeckの米国特許番号第4,956,619号、発明の名称『空間光変調器』、Hornbeckの米国特許番号第5,172,262号、発明の名称『空間光変調器およびその方法』に開示されており、ここに参照のため引用する。

【0007】この第1世代のDMDは、デジタル又はバイステイブル・デバイスとしても実施され得る。ビーム（ミラー）は、ねじれヒンジで支持され、ミラー片が着地パッド（landing pad）上に着地するまで、2方向のうち1方向に10度軸回転するミラーを有し得る。このような実施例は、共に譲渡されたHornbeckの米国特許番号第5,061,049号、発明の名称『空間光変調器およびその方法』に開示されている。ミラー片と着地パッドとの間のファン・デル・ワールスの力を制限するため、着地パッドは、着地パッド上に形成される配向（oriented）単分子層によって不活性化され得る。この単分子層は、ファン・デル・ワールスの力を減少させ、ミラーが電極に膠着（stick）するのを防ぐ。この技術は、共に譲渡されたHornbeckの米国特許番号第5,331,454号、発明の名称『DMDのための低リセット電圧プロセス』に開示されており、参照のためここに引用する。

【0008】DMDの『第2世代』は、共に譲渡された米国特許番号第5,083,857号、発明の名称『多レベル変形可能ミラー・デバイス』及び同時係属特許出願で1993年12月21日に提出された、出願番号第08/171,303、発明の名称『改良された多レベル・デジタル・マイクロミラー・デバイス』で実施されている。この第2世代のデバイスでは、ミラーはヨーク上に持ち上げられ、このヨークは一對のねじれヒンジによってアドレス回路上に懸架されている。この出願の図3cに示すように、電子静電力は、高架ミラー及び高架電極の間に生じる。回転するときに着地電極と接触するのはヨークであり、ミラー片は、どの構成物とも接触しない。ミラーの約50%である、ヨークのより短いモーメントのアームは、ミラー片が自由に動くために、リセットパルスによりエネルギーがより効果的にミラーに接続されるようにする。共振リセットパルスをミラーに提供することによって、ミラーが旋回（ピボット）構造を着地電極から自由にすることは、共に譲渡された米国特許番号第5,096,279号、発明の名称『空間光変調器およびその方法』、及び米国特許番号第5,233,456号、発明の名称『共振ミラーとその製造方法』に開示されている。しかし、ヨークがアドレス電極の表面領域をわずかに減少させるため、第1世代のデバイスに比べ、ミラーと高架アドレス電極との間に生じるアドレス・トルクが多少犠牲になる。

【0009】より効率的なりセット動作を有する改良されたDMDを提供し、より多くのアドレス・トルク、ラッチ・トルク、及びアドレス保持トルクを有するデバイ

スを開発することが望まれている。改良されるデバイスは、基準の製造工程を用いることによって製造されることが好ましい。

【0010】

【課題を達成するための手段及び作用】本発明は、ヨークが第1のアドレス電極対の実質的な部分を覆うように、ヒンジと平行にヨークを水平に伸ばすことによって、DMD空間光変調器としての技術的利点を達成する。第2の高架アドレス電極対が、ヨークの横およびヨークに支えられた高架ミラーの下に設けられる。アドレス・トルクは、第1のアドレス電極対とヨークの間、および第2の高架アドレス電極対と高架ミラーの間で達成される。ヨークは、ミラーが高架アドレス電極に関連して配置されるより下部アドレス電極により近接して配置される。対向部材間のユニット（単位）領域毎の力は距離の自乗分の一に比例するため、ヨークと下部の第1のアドレス電極対の間のユニット領域毎の力は、ミラーと第2の高架アドレス電極対の間のユニット領域毎の力より4倍の大きさまで大きくなる。本発明は、従来の世代に比べて、処理工程を変えることなく、高度なアドレス・トルク、ラッチ・トルク、アドレス保持トルク、及び復元力を有する。

【0011】本発明は、基板を有する空間光変調器を構成する。第1の部分に有するアドレス回路は基板に近接して提供され、更に基板上に高架される第2の部分に有する。ヨークは、アドレス回路の第1の部分上に支持される。少なくとも1つのヒンジがヨークに接続され、ヨークを支持し、ヒンジはアドレス回路の第1の部分上のヨークを撓ませ得る。画素は、ヨークの上に持ち上げられ、ヨークに支持され、この画素は高架アドレスの第2部分の上に位置する。このアドレス回路の第1及び第2の部分は、互いに電気的に接続され、それによって第1及び第2の部分に提供される電位は、2平面に電子静電力を生じさせる。まず、電子静電力はヨークとアドレス回路の第1の部分の間に、次に、高架画素と高架第2の部分との間に生じる。

【0012】ヨークと第1の部分との間の距離は、画素と高架第2の部分との間で定められる距離の約半分である。ヨークとアドレス回路の第1の部分の対向する表面領域は、高架画素と高架第2の部分との間に生じるアドレス・トルクより約4倍大きいアドレス・トルクを実現する。ネット・アドレス・トルクは付加的であり、前の世代のDMDデバイスによって生じるアドレス・トルクよりも実質的に大きい。

【0013】ヨークは、ヨーク軸の両側に一對のヨーク片を有する、蝶のような形をしていることが好ましい。回転すると、一對のヨーク片の一方が着地パッドに着地し、それにより支持され、持ち上げられる画素ミラーは、どの構造物とも離れたままになる。このように、リセット・パルスは、ミラーに提供され得、良好なりセッ

ト動作を達成するため、ミラーに共振する周波数であることが好ましい。ヨークは、実質的にヒンジと同じ平面であることが好ましく、ヒンジが正確な整合及びバランスで形成されるように、単一エッチング工程を用いて形成され得る。

【0014】空間光変調器は、アドレス回路に接続される制御回路を更に有する。この制御回路は、アドレス回路の第1及び第2の部分の両方にアドレスデータを提供し、画素を撓ませる。アドレス回路の第1の部分はパッドを有し、回転の画素軸の両側に提供され、離れている  
10 アドレス回路の第2の部分はこのヨーク軸の両側の画素の下に提供されることが好ましい。制御回路は、これらの一連のアドレス指定する部分のいずれか1つにアドレスデータを提供し、アドレス指定する部分の方へヨークとミラーを撓ませ、アドレス指定された第1及び第2の部分の方へヨークおよびミラーを撓ませる。画素はミラーであり、ヒンジに対して45度の角度でジオメトリックに配向された四角形であり、暗視野光学系 (darkfield optics) によって感知される画素の端に沿って生じる回折項 (diffraction terms) を最小化することが好ましい。

【0015】一対のアドレス電極上に懸架されたヨークを有し、第2のアドレス電極対上に伸びる高架ミラーを支持するDMDデバイスは、アドレス電極と旋回構造物、つまり、ヨークとミラー、との間の引付け (attractive) 領域を大きく増加させる。アドレス基板上の下部アドレス電極は、金属3から構成され、アトラクティブ領域を最大にするよう注意深く設計され、ミラー及びヨークと同じ電位を有する着地電極上にヨーク片を着地させる。ミラーの高架アドレス電極は、第2世代のデバイスから修正されて本発明の延長ヨークを提供 (accommodate) 一方、ミラーと高架電極の間に生じ得るトルクのほとんどを維持する。高架電極の減少された領域の結果の損失トルクはアドレス・トルク上に伸びるヨークによって補償されるよりも多く、これらのアドレス電極は、高架電極に対し位置付けられるミラーよりヨークからその半分の距離に位置付けられる。第2世代のデバイスに比べて、生じるネット・アドレス・トルクは、約2倍 (a factor of two) 大きい。本発明は更に、より大きいラッチ・トルク及びアドレス保持トルクを達成する。  
40

【0016】

【実施例】本発明の一実施例を図面を参照して説明する。図1において、デジタル・マイクロミラー・デバイス (DMD) を有する空間光変調器を全体として10で示す。DMD10は、単一チップ集積回路であって、864×576マイクロミラー・アレイ12を有するように示されている。アレイ12は、864×36メモリセルアレイ16上にモノリシックに形成される。図2に示すように、メモリセルアレイ16を形成する36列のメ  
50

モリセル (MR0-MR35) 列の各メモリセルは、ある特定の16画素グループ (18) に関連され、制御する。各メモリセルは、一次の1ビット静電ランダムアクセスメモリ (SRAM) 及びその一次セルによってフィードされる二次の1ビットSRAMセルを有する。メモリセルの各864列のそれぞれに接続される864ビットラインBL0-BL863がある。列画素データは、関連するビットラインBL0-BL863を介して、アドレス指定された一次メモリセル行MRn にロードされる。一次メモリセルは、それぞれWDn 又はRDn として識別される、関連する行の書き込み可能又は読出し可能ラインをイネーブルにすることによってアドレス指定され、WPn は行MRn の各一次セルのイネーブル入力に接続される。この画素データは、グローバル制御ラインMXFRBをイネーブルにすることによってそれぞれ二次セルへ一次セルからラッチされ、MXFRBはアレイ16の全ての二次セルのイネーブル入力に接続されている。二次メモリセルは本質的にシャドウ・ラッチとして作動し、データは一次メモリセルから二次メモリセルへロードされ得、一次メモリセルが二次メモリセルのメモリセル内容に影響を及ぼすことなく新しい画素データを実質的に再ロードすることを可能にする。シャドウ・ラッチ技術の付加的説明は、共に譲渡された同時係属中の特許出願番号08/389, 673で1995年2月16日に  
10 出願された、発明の名称『単一ビットライン・デュアル・ラッチ・メモリセルを有する空間光変調器』にされており、参照のためここに引用する。行アドレス及び列データロード回路、及びDMD10のテスト制御機能を有する制御回路の更に詳しい説明は、共に譲渡された同時係属中の特許出願番号08/373, 692で1995年1月17日に出願された、発明の名称『モノリシック・プログラマブル・フォーマット・ピクセル・アレイ』にされており、参照のためここに引用する。

【0017】図2はミラーアレイ12の1つの画素18を示す。二次メモリセルのデータは、一対の相補性アドレス電極ラインに提供され、各ラインは順に、アレイ12の各画素18の下に形成され、画素に関連する2つのアドレス電極26及び28のうち1つに接続される。画素18は、支持ポスト34によって、全体として32で示すヨークの上に支持され、上に持ち上げられる四角形ミラー30を有する。支持ポスト34は、ミラーの中央から下方へ伸び、図示するように、そのねじれ軸にそってヨーク32の中央に取付けられ、ヨーク32上のミラー30の質量の中心のバランスをとる。ヨーク32は、通常は蝶の形であり、あとで詳細に説明するが、一対のねじれヒンジ40によって中央軸に沿って軸 (axially) 支持される。各ねじれヒンジ40の反対の端はそれぞれヒンジ支持ポスト44の頂点に定められているヒンジ支持ポストキャップ42に取付けられ、支持される。  
50 一対の高架ミラーアドレス電極50及び52は、それぞ

れアドレス支持ポスト54及び56によって支持される。

【0018】アドレス支持ポスト54及び56、及びヒンジ支持ポスト44は、アドレス電極50及び52、ねじれヒンジ40、及びヨーク32をバイアス／リセット・バス60、及び一对の基板レベルアドレス電極パッド26及び28から離して上方に支持する。ミラー30及びヨーク32が共に、ヒンジ40により定められるヨークのねじれ軸の回りを回転するとき、ヨーク32の撓んだ側の一对のヨーク片58は着地サイト(site)62に着地し、バイアス／リセット・バス60とエンゲージ(engage)する。

【0019】図3と共に図2を参照して、本発明の好ましい実施例に従った画素18の利点を詳細に説明する。ミラー30及びヨーク32の回転は、2方向のうち一方になされ得、図5に示し後で説明するようなバイステイブル状態及びモジュール入射光を達成する。アドレス電圧が2つのアドレス電極パッド26又は28の一方に、及び関連する電極支持ポスト54及び56を介して、対応する高架ミラー・アドレス電極50又は52の一方に供給される。このアドレス電圧は、CMOSロジック回路と互換性のある5ボルトであり得るが、必要であれば他のレベルであってもよい。同時に、+15ボルトのバイアス電圧がバイアス／リセット・バス60に、支持ポスト44、ポストキャップ42、及びヒンジ40を介してヨーク32に、更に支持34を介してミラー30に供給される。本発明は、図2にハッチングされた領域で示す2つの場所に対向する表面間に電子静電力を供給する技術的利点を提供する。これらの電子静電引力は、図3の70、76、80、及び82にも示している。

【0020】例示のため、図2及び図3に示されるように、ミラー30及びヨーク32が逆時計回りに回転される場合、0ボルト電位がアドレスラインVa上に供給され、相補性アドレスラインVb上に+5ボルトが供給される。その後、+15ボルト電位がバイアス／リセット・バス60へバイアスラインVb上に供給され、ヨーク32及びミラー30上に+15ボルト電位を供給する。20ボルトの電位差から電子静電引力がアドレス電極26及びヨーク32のこの基板アドレス電極の上の部分の間に生じ、この力を全体として70で示す。アドレス電極26に懸かるヨーク32の対応する部分を、ハッチングされた部分74で示す。逆に、ミラーが時計回りに回転する場合、0ボルト電位が相補性アドレス電極28に供給され、76で引力が生じる。アドレス電極28に懸かるヨーク32の対応する部分をハッチングされた部分78で示す。

【0021】ヨーク32の半分と下部アドレス電極26の間に電子静電引力が生じる一方、図3に80で示すような電子静電引力が高架アドレス電極50とミラー30

の間にも生じる。この電子静電引力は、82で示す、高架アドレス電極50上に定められるミラー30の部分の間に作られる電圧電位によって生じる。アドレス電極52上に懸けられるミラー30の部分を84で示す。従って、1つのアドレス電極26又は28をアドレス指定することによって、対応する高架アドレス電極50又は52にアドレス電圧を順に供給し、電子静電力が70及び80又は76又は82で示す2つの場所で生じる。この0ボルトアドレス電位を2つのアドレス電極26又は28の一方に選択的に供給することにより、バイアス・バス60に、そして結果的にヨーク32及びミラー30に+15ボルト電位が供給されると、ミラー30及びヨーク32をどちらの方向に回転させるかが決定される。

【0022】図3において、全体的にヨーク32と同平面であり、それぞれ約1ミクロンの距離でアドレス電極26及び28の上方に位置している高架アドレス電極50及び52を示す。高架アドレス電極50及び52と上のミラー30との距離は、この距離の約倍、つまり約2ミクロンである。対向する表面間の引力が対向する表面間の距離の二乗分の一の関数として直接変化するため、ヨーク32とアドレス電極26及び28の間に生じるユニット領域毎の電子静電引力は、ミラー30と対応する高架アドレス電極50及び52の間に生じる引力の大きさの4倍である。ねじれ軸の両側に生じる力は、付加的であり、共にミラー30とヨーク32をアドレス電極の方向へ回転させる。

【0023】代替実施例において、高架電極50及び52、及び対応する支持ポストはなくてもよい。この実施例において、ヨーク32の上のミラー30の高さは、たったの約1ミクロンで、下部電極26及び28のディスタル・ローブ(distal lobe)により強い引力を達成する。撓むとき、ミラー30はアドレス電極26及び28の対応するディスタル・ローブへ向かって回転するが、まだエンゲージしない。この実施例では、ポスト44、ヨーク32及びミラー30を有する高架構造物は、すべて同じ電位であり、ショート危険性が回避される。このように、1組の高架電極の限定は意図されない。

【0024】アドレス・トルク(Ta)は、ヨーク32及びミラー30と共にアドレス電圧によって生じるトルクである。このアドレス・トルクは、同様のアドレス電圧及びバイアス電位の従来の世代のDMDデバイスで生じるアドレス・トルクよりずっと大きい。このように、本発明は、バイアス電圧が供給されるとき、ミラーが適切な方向に回転することを保証する必要があるアドレス電圧Vaと電位の間の差として定義される改良されたアドレスマージンを有する。

【0025】本発明の画素は、ミラーを反対の状態へ回転(又はアップセット(upset))させるに役立つアドレス電圧がある場合、バイアス電圧によって生じるラッチ・トルクの大きさとして定義される増加したラッチ・

トルク (T1) も有する。本発明の別の著しく改良された性能パラメータは、リセット後にバイアス電圧がオフの時間の間、その着地状態のミラーを保持するアドレス電圧の能力の大きさと定義されるアドレス保持トルク (Th) の増加である。本発明の別の改良された特徴は、単一パルスのリセットとヒンジの片によってつくられる復元力の組合せによって作られる片反応力の大きさと定義される復元力 (Fr) の増加である。

【0026】これらの4つすべての性能パラメータは、下部アドレス電極を有する電子静電力を生じさせるヨーク32を、高架ミラーと高架アドレス電極との間に生じる電子静電引力と共に用いる設計により、本発明によって実質的に前の世代のDMDデバイスより改良された。アドレス電極上の回転可能なヨークと実質的にその上の対向する表面領域との近接により、上述のすべての性能パラメータが著しく増加し、DMDデバイスの電子機械的効率を向上させる。特に、ヒンジの堅さ (stiffness) を変えることなく、前の世代のデバイスより1.8倍高いアドレス・トルクが達成される。ラッチ・トルクは、従来のDMDデバイスの2.6倍に改良される。生じる復元力は前の世代のDMDデバイスの8.8倍に増加される。すべての改良された性能パラメータにおいて、本発明の製造工程は、後に説明するが、前の世代のデバイスとほぼ同じであり、そのため前の世代のデバイスを超える“今までになかった”利点を提供する。

【0027】本発明のDMDデバイスは、前述のように、空間光変調器の操作に重要な、より大きなマージン、アドレス・アップセットに対するより低い感度、より低いリセット電圧要求、より高いスイッチスピードを含む。本発明の設計において、アドレス・マージン及びラッチ・マージンを改良するために必要であれば、より堅いヒンジの、非線形ヒンジを組込むこともできる。

【0028】ファン・デル・ワールスの力による膠着の可能性を減らすため、着地電極60、特にヨーク32の片58からの接触点に対応する領域62、は不活性化され得る。着地電極を不活性化することにより、ヨーク32の付着又は膠着する傾向は減少され得る。膠着化は抑制力 (inhibiting force) であり、ミラーをフラット状態にリセットするため、又はミラーを反対側に撓ませることのできるバイステイブル状態にスイッチするために供給される大きなリセット電圧を必要とする。着地電極を不活性化する方法は、共に譲渡されたHornbeckの米国特許番号第5,331,454、発明の名称『DMDの低リセット電圧処理』、及び共に譲渡された同時係属中の米国特許出願番号第08/239,497で1994年5月9日に提出された、発明の名称『マイクロ・メカニカル・デバイスのPFPEコーティング』に開示されており、参照のためここに引用する。ミラーのリセットを達成し、ミラーを別のバイステイブル状態の撓みに誘導するため、バイアス/リセット・ラインがミラーの共振周

波数に対応する周波数の電圧、典型的に約5MHz、でパルスされ得ることは、共に譲渡された米国特許番号第5,096,279、発明の名称『空間光変調器およびその方法』に開示されており、ここに参照のため引用する。

【0029】図4はアレイ12の3×3アレイ部分の断面透視図であり、シリコン基板上の金属3層の形成を示し、この金属3層はアドレス電極及びシリコン基板上のバイアス/リセット・バスを定める。さらに高架ミラーアドレス電極、ポストキャップ、及び金属3層上のヨーク32を支持するヒンジも示す。ミラー支持ポストは、画素のねじれ軸にそって、それぞれのヨークによって支持されるように示されている。

【0030】図5は光学的な略図であって、入射光は、ミラーが“オン”状態であるか“オフ”状態であるかによって、モジュレートされ2方向の一方に偏向されるように示されている。ミラー30がオン状態のとき、入射光は投射レンズを有する光学系に反射され、前面又は後面スクリーンプロジェクタの場合、結果的に表示スクリーンにフォーカスされ、電子写真プリンタの場合はフォトセンシティブ面上にフォーカスされる。ミラー30がオフ状態のとき、入射光は光アブソーバに反射され、暗視野光学系から離れる。ミラー30のバイステイブル状態の間の20度の回転は反射入射光の40度スウィングを成す。このように、本発明は、本発明の空間光変調器が意図した暗視野光学系システムで使用するのに重要な高コントラスト率の空間光画像を達成する。

【0031】図6及び図7に関し、図2の線A-Aに沿ったピクセル18の断面図を示し、支持ポストは示されていない。図6に示すように、ヨーク32及びミラー30が非偏向 (フラット) 状態であり、ヨーク32は全体的に高架アドレス電極50及び52と同平面であり、アドレス電極26及び28、及びリセット/バイアス60を含む金属3層上に約1ミクロンの距離にある。ミラー30は一对の高架アドレス電極50及び52上に、基板64からヨークを離している距離の約2倍である、約2ミクロン上に持ち上げられる。

【0032】図7において、図示するように、ヨーク32及びミラー30がアドレス指定され、時計方向に回転されるとき、ヨーク32のアドレス指定される半分の一对の着地片58はリセット/バイアス・バス60の部分62上に着地する。しかし、それと共に回転する高架ミラー30は上に位置したままであり、対応する高架アドレス電極52から離れている。図示するように、ヨーク32のモーメント・アームはねじれ軸のまわりのミラー30のモーメント・アームの約半分である。ミラー30と比較して着地ヨーク32の寸法がより短いとスタック・ミラーをリセットするために必要なトルクを減少するが、非常に短い着地ヨークを用いるとねじれヒンジ上に付加圧力を起こし得る。共に譲渡され、同時係属中の特



許出願番号第08/171,303で1993年12月21日に  
出願された、発明の名称『マルチ・レベル・デジタル・  
マイクロミラー・デバイス』の記載を参照すれば上述の  
これらの力をより良く理解できる。ヨーク32は一对の  
反対の片58上に着地し、対称的に設計されているた  
め、アドレス電極26及び28の大きな領域は、図2に  
示すように、ヨーク32の下に定められ得る。更に、ヨ  
ークと着地電極の部分62の間の膠着力の減少がみられ  
るため、ミラーの状態を変化又はリセットするときに供  
給されるより低いリセット電圧を必要とする。

【0033】図8～13を参照して、1画素18を形成  
するために行なわれる半導体形成工程の詳しい説明をす  
る。測定を目的とするのではなく、説明及び明確化のた  
め、各図面は図2の線B-Bに沿った断面図を示す。

【0034】まず、図8において、シリコン基板64は  
メモリセル16のアレイ、行アドレス回路20、及び列  
データロード回路30を含む下部アドレス回路を形成す  
るよう処理される。その後、基板64は保護酸化物層1  
02で覆われる。次に、通常M3と呼ばれる第3の金属  
化層が部分的に処理されたウェハ上にスパッタ・デポジ  
ットされ、104で表される。この第3の金属化層はパ  
ターニングされ、エッチングされ、図2に示すようなア  
ドレス電極26及び28、及びバイアス／リセット・バ  
ス60を定める。次に、ヒンジ・スペーサ層106はア  
ドレス回路上にスパッタ・デポジットされ、好ましくは1  
ミクロンの厚さを有するボジ型フォトレジストを有す  
る。一对のバイア(via)110がフォトレジスト層10  
6を通して開けられ、ヒンジ支持ポストの形成を容易に  
し、フォトレジスト層106は後続の処理工程の間のフロ  
ー及びバブリング(bubbling)を避けるため高温でデ  
ィープUV硬化する。

【0035】図9において、金属化薄膜ヒンジ層112  
はフォトレジスト層106上及びバイア110にスパッ  
タ・デポジットされる。ヒンジ層112は、約500オン  
グストロームの厚さを有することが好ましく、アルミニ  
ウム、アルミニウム合金、チタン化タングステン、及び  
本発明に適当な他の導電性金属から構成され得る。ヒ  
ンジ支持ポスト44は図示したようにこの工程で定義(de  
fine)され、バイアス／リセット・バス60に電気的に  
接続される。更にこの工程の間、一对の電極支持ポスト  
54及び56が定められ、図示していないが、フォトレ  
ジスト層106に形成される、対応する一对のバイア1  
10に層112がスパッタ・デポジットされ、これらの  
バイアはバイア110が開けられる前述の工程の間に形  
成されている。このように、電極支持ポスト及びヒンジ  
支持ポストは非常に似ている。フォトレジスト層106  
の厚さはヒンジ・エアー・ギャップを決定し、そのた  
め、それが着地電極とエンゲージするまでのヨーク32  
の角度自由度によりミラー回転角度が決定する。

【0036】図10において、第1酸化マスクがプラズ

マ・デポジットされ、ヒンジ40の形にパターニングさ  
れる。その後、典型的に約3000オングストロームの  
厚さであるアルミニウム合金の厚い金属化層がデポジ  
ットされる。第2酸化マスクはプラズマ・デポジットさ  
れ、その後ヨーク32、高架電極54及び56、及びヒ  
ンジ支持キャップ42の形にパターニングされる。その  
後、薄いヒンジ層112及びより厚い金属層は、図示す  
るようにアドレス電極50及び52、ヒンジ支持キャ  
ップ42及びヒンジ40を定めるようにエッチングされ  
る。これらの構造を定めるために、単一プラズマ・エッ  
チが用いられる。2つの酸化物層はエッチ・ストップと  
して機能し、それらの下の金属層を保護する。プラズマ  
・エッチ工程が終了した後、酸化物エッチ・ストップ  
は、薄い金属ヒンジ、より厚い金属支持ポストキャップ  
42、電極50及び54から、及び図10に示すヒンジ  
40から除去される。

【0037】図11において、厚いミラー・スペーサ層  
122はヒンジ、電極、及び支持キャップ上にスパッタ・  
デポジットされ、約2ミクロンの厚さを有するボジ型フ  
ォトレジストで構成されることが好ましい。バイア12  
4がフォトレジスト・スペーサ層122に開けられ、図  
示するように、ヨーク32上の開口部を提供し、その後  
フォトレジスト層122はディープUV硬化される。

【0038】図12において、その後アルミニウム合金  
で構成され反射性を有するミラー金属層は、約4000  
オングストロームの厚さにスパッタ・デポジットされ  
る。この層はミラー支持ポスト34とミラー30の両方  
を形成する。その後マスキング酸化物層が、ミラー層上  
にプラズマ・デポジットされ、四角ミラーの形にパター  
ニングされる。その後、図示するように、ミラー金属層  
はプラズマ・エッチングされ、ミラー30及び支持ポ  
スト34を形成する。マスキング酸化物層は、ウェハがそ  
の後処理されダイを得るために切られる間、典型的にそ  
の場に残される。図13において、チップはプラズマ・  
エッチング・チェンバに配置され、そこではマスキング  
酸化物層と両方のスペーサ層106及び122がプラズ  
マ・エッチングされて取除かれ、ヒンジ40とヨーク3  
2の下にヒンジ・エアー・ギャップを、高架ミラー30  
下にミラー・エアー・ギャップ134を残す。

【0039】図14は、本発明の代替実施例の分割した  
透視図を、全体として200で示す。画素200は図1  
～13で示した画素18と非常に類似しており、同様の  
数字が同様の要素を表す。しかし、図示するように、画  
素200は、ねじれ軸の両側に1つの着地片204を有  
するように僅かに修正したヨーク202を有する。回転  
するとき、それが対応する着地電極208とエンゲージ  
するか着地するまでヨーク202の一端204は回転す  
る。ヨーク202は、基板上の金属3層から形成される  
一对のアドレスパッド210及び212のいずれかに実  
質的に重なる。電子静電力をつくる対向する表面の対応

する領域はハッチングされた領域214、216、218及び220で示されている。ヒンジ222はヒンジポスト224からヨーク202を支持する。高架アドレス電極228及び230は、ヨーク202と同平面である。

【0040】図15において、本発明の更に別の代替実施例を図300で示す。画素300は図(14の実施例示す)200、及び図1~13に示す画素18に非常に類似しており、同様の数字は同様の要素を表す。図示するように画素300は、図14の実施例に類似する、ねじれ軸の両側に提供される1つの着地片も有する。図示するように、ヨーク302はねじれ軸に実質的に平行に下部アドレス電極の上に伸び、一対のアドレス電極304及び306はヨーク302の一方の下に提供され、別の対のアドレス電極310、312はXパターンを有するバイアス/リセット・バス320の別の側上に提供される。2つのアドレス電極304及び306は互いに電氣的に結び付き、別の対のアドレス電極310及び312は、電氣的に結び付いている。アドレス電極の対は、図示するように、対応する支持ポスト336を介して、高架ミラーアドレス電極330及び332に接続される。電子静電引力の領域は350、352、354、356、358及び360のハッチングされた領域で表す。ヒンジ362はポスト364からヨーク302を支持する。この実施例において、バイアス/リセット・バス620はX型を有し、図示するように、一対のアドレス電極を二股に分ける。X型を有するため、バイアス/リセット・バスは、容易にしかも簡単に基板上の金属3層の隣接する画素と相互接続ができる。これにより、共通バイアス/リセット・バスを有する複数の画素行を制御する望ましいレイアウトが達成され得、スプリット・リセット技術を促進することは、共に譲渡された米国特許出願番号08/300、356号で1995年2月16日に出願された、発明の名称『空間光変調器のための画素制御回路』に開示されており、参照のためにここに開示する。ヨーク片の着地サイトは340で示すバイアス/リセット・バスに沿って提供される。

【0041】要約すると、画素ミラーの撓みを誘導する、2つの位置で生じる電子静電力を有するDMD形式の空間光変調器が開示される。まず、引力が、ヨークと下部基板アドレス電極との間に生じる。更に、電子静電力が高架ミラーと高架アドレス電極の間に生じる。これらの電子静電力は付加的であり、従来の世代のDMDデバイスを越える改良された性能パラメータを実現する。ミラーと高架アドレス電極との間のスペースの2分の1に等しい距離で、ヨークが基板アドレス電極上方に離されるため、ユニット領域毎の引力はミラーと高架アドレス電極との間に生じる力より4倍大きい。本発明の設計は、より高いアドレス・トルク、より高いラッチ・トルク、より高いリセット力、及びより大きなアドレスマ-

ジンを達成する。画素はアドレス・アップセットに対する感度が低く、より低いリセット電圧を必要とし、共振リセット及び複数リセットパルスの必要性を減らし得る。より高いスイッチスピードが達成され、前述の改良された性能パラメータにより、非線形及びより堅い(stiff)なヒンジが実現され得る。画素アレイは基準の工程から大きく逸脱することなく製造することができる。このように、従来の世代を超える本発明の空間光変調器によって達成することのできる改良された性能パラメータは、従来の世代を超える“今までになかった”設計である。

【0042】本発明は特定の好ましい実施例を参照して説明されたが、本説明を参照すればこの技術の分野の習熟者にとって、種々の変形及び修正は明白である。したがって、添付の特許請求の範囲はあらゆるこれらの変形及び組合せを包含することを意図する。

【0043】以上の説明に関して更に次の項を開示する。

(1) 空間光変調器であって、基板と、前記基板に近接して提供される第1の部分と、前記基板上に高架される第2の部分とを有するアドレス回路と、前記アドレス回路の第1の部分上に支持されるヨークと、前記ヨークに接続され、前記ヨークを支持する少なくとも1つのヒンジであって、前記ヒンジは前記ヨークを撓ませ、前記ヨーク上に高架され、ヨークによって支持され、前記高架アドレス回路の第2の部分上に位置付けられる画素とを含む空間光変調器。

(2) 第1項に記載の空間光変調器であって、ヨーク軸に沿って前記ヨークを軸支持する一対の前記ヒンジを有する空間光変調器。

(3) 第1項に記載の空間光変調器であって、前記ヨークは、前記画素及び前記ヨークに重なる前記画素の幅より狭い幅を有する空間光変調器。

(4) 第2項に記載の空間光変調器であって、前記ヨークは、前記ヨーク軸の両側に一対のヨーク片を有する空間光変調器。

(5) 第4項に記載の空間光変調器であって、前記ヨークは、蝶の形を有する空間光変調器。

(6) 第1項に記載の空間光変調器であって、第1のスペーシングは前記ヨークと前記アドレス回路の第1の部分との間に定められ、第2のスペーシングは前記画素と前記アドレス回路の第2の部分との間に定められ、前記第1のスペーシングは前記第2のスペーシングより狭い空間光変調器。

(7) 第1項に記載の空間光変調器であって、前記ヨークは実質的に前記アドレス回路の第2の部分と同じ平面である空間光変調器。

(8) 第2項に記載の空間光変調器であって、対向する表面領域の第1の対は前記ヨークと前記アドレス回路の第1の部分との間に定められ、対向する表面領域の第

2の対は前記画素と前記アドレス回路の第2の部分との間に定められ、前記対向表面領域の第2の対が、前記ヨーク軸からの対向表面領域の前記第1の対より前記ヨーク軸からの距離より大きく、横方向へ定められる空間光変調器。

(9) 第1項に記載の空間光変調器であって、前記基板上に構成され、前記画素に電気的に接続されるバイアスノリセット・バスを更に有する空間光変調器。

(10) 第1項に記載の空間光変調器であって、前記ヒンジは、前記ヨークと実質的に同じ平面である空間光

変調器。  
(11) 第1項に記載の空間光変調器であって、前記アドレス回路に結合される制御回路を更に有し、前記制御回路は前記アドレス回路の第1の部分及び第2の部分にアドレスデータを供給し、前記画素を撓ませる空間光

変調器。  
(12) 第2項に記載の空間光変調器であって、前記アドレス回路に結合される制御回路を更に有し、前記制御回路は前記アドレス回路の第1の部分のひとつにアド

レスデータを提供し、前記アドレス指定された第1の部分の方へ前記ヨークを撓ませる空間光変調器。

(13) 第1項に記載の空間光変調器であって、前記ヒンジに接続され前記ヒンジを支持する支持ポストを更に有する空間光変調器。

(14) 第1項に記載の空間光変調器であって、前記アドレス回路の第1の部分及び第2の部分は互いに電気的に接続される空間光変調器。

(15) 第1項に記載の空間光変調器であって、前記画素はミラーである空間光変調器。

(16) 第15項に記載の空間光変調器であって、前記ミラーは四角形である空間光変調器。

(17) 第16項に記載の空間光変調器であって、前記ミラーは前記ヒンジに対し45度でジオメトリックに配向される空間光変調器。  
(18) 空間光変調器であって、基板と、前記基板に近接して提供される第1の部分と、前記第1の部分で定められる平面上にある第2の部分とを有するアドレス回路と、前記アドレス回路の第1の部分上に支持されるヨークと、前記ヨークに接続され、前記ヨークを支持する少なくとも1つのヒンジであって、前記ヒンジは前記ヨークを撓ませ、前記ヨーク上に高架され、ヨークによって支持され、前記高架アドレス回路の第2の部分上に位置付けられる画素とを含む空間光変調器。

(19) 増加した性能パラメータを有するDMD型の空間光変調器10である。画素ミラー30がヨーク32によって支持され、幾つかの構造体の間に電子静電引力70、76、80、82が生じる。まず、高架ミラー30と高架アドレス電極50、52の間、次に、ヨーク32と下部アドレス電極26、28の間に生じる。画素30は、従来の世代のデバイスに比べ、高アドレス・トル

ク、高ラッチ・トルク、高い復元力、及びより大きなマージンを達成する。基板アドレス電極26、28上のヨーク32の近接により、大きな引力が実現され、画素はアドレス・アップセットに感度が低く、より小さなりセット電圧を必要とし、スイッチスピードをより早める。

【図面の簡単な説明】

【図1】本発明の好ましい実施例に従った空間光変調器のブロック図であり、マイクロミラーを有する画素アレイを制御する列アドレス及びコラムデータロード回路を有する。

【図2】図2に示すアレイの1つのDMD画素の分解透視図であって、可撓性ヨーク上に形成された高架マイクロミラーを有し、ヨークは一对のヒンジによって順に支持され、ハッチングした領域は高架ミラーと高架アドレス電極の間の電子静電を引付ける (attraction) 領域を図示し、ヨークと下部アドレス電極の間は基板上の金属3を有する。

【図3】ミラーと高架アドレス電極との間、及びヨークと下部アドレス電極との間の電子静電引力を示し、ヨーク及びミラーは、バイアスノリセット・バスに電気的に接続され、同じ電圧バイアスを有する。

【図4】図1に示すアレイの画素の3×3アレイの断面図であり、基板レベルアドレス電極及び基板レベルバイアスノリセットパターンを限定する金属3層を示すため、幾つかのヨーク、高架アドレス電極及びヒンジ支持ポストが取り除かれ、下部基板レベルアドレス電極の一部に重なる高架ヨークを示すため高架ミラーの幾つかが取り除かれて示されている。

【図5】図4に示す画素ミラーが2方向のうち一方に入射光を偏向させる2つのステイブル偏向状態を示す。

【図6】高架ミラー・アドレス電極及び基板アドレス電極上に支持されたヨークを示すためヒンジ軸に沿った図1のDMDアレイの1画素の断面図。

【図7】図6の様に断面図であり、共に上に支持され1ステイブル状態に回転されるヨーク及びミラーを有し、ヨーク片はそれぞれ1対の着地パッド上に着地し、高架ミラーは高架ミラー・アドレス電極に離れて近接して残る。

【図8】従来のロバスト (robust) 半導体処理技術を用いて図2の画素を形成するために処理される半導体材料の種々の層を順次示す。

【図9】従来のロバスト (robust) 半導体処理技術を用いて図2の画素を形成するために処理される半導体材料の種々の層を順次示す。

【図10】従来のロバスト (robust) 半導体処理技術を用いて図2の画素を形成するために処理される半導体材料の種々の層を順次示す。

【図11】従来のロバスト (robust) 半導体処理技術を用いて図2の画素を形成するために処理される半導体材料の種々の層を順次示す。

17

【図12】従来のロバスト (robust) 半導体処理技術を用いて図2の画素を形成するために処理される半導体材料の種々の層を順次示す。

【図13】従来のロバスト (robust) 半導体処理技術を用いて図2の画素を形成するために処理される半導体材料の種々の層を順次示す。

【図14】本発明の好ましい実施例の代替例の分割透視図であって、ヨークはねじれ軸の両側で定められる1つの着地片のみを有する。

【図15】本発明の好ましい実施例の別の代替例の分割

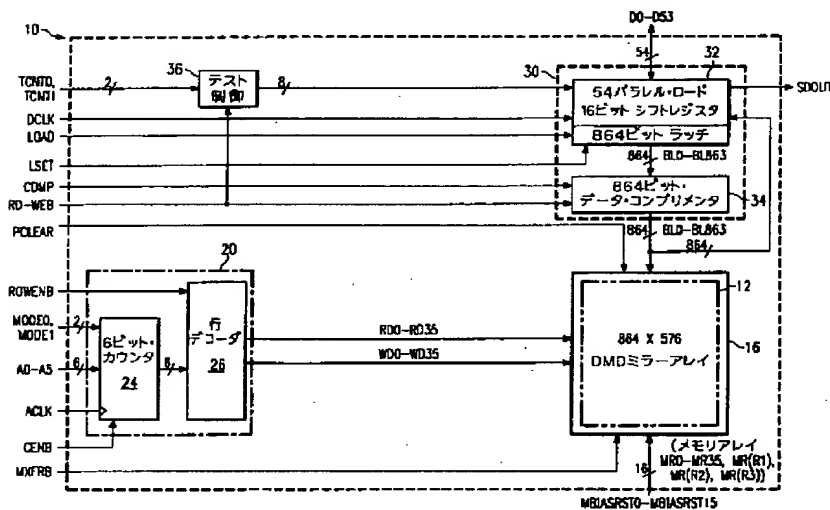
18

透視図であって、ヨークはねじれ軸の両側に1つの着地片を有し、ヨークは下部基板アドレス電極上にねじれ軸に平行に伸びる。

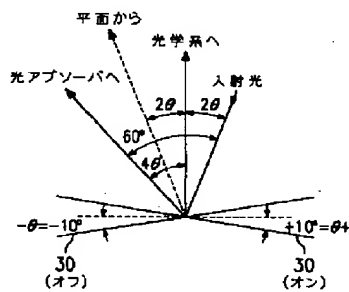
#### 【符号の説明】

- 10 DMD型空間光変調器
- 26, 28 下部アドレス電極
- 30 画素ミラー
- 32 ヨーク
- 70, 76, 80, 82 電子静電引力
- 50, 52 高架アドレス電極

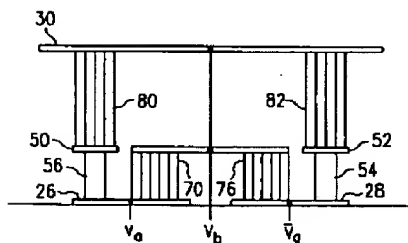
【図1】



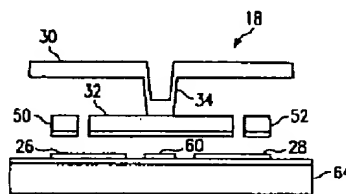
【図5】



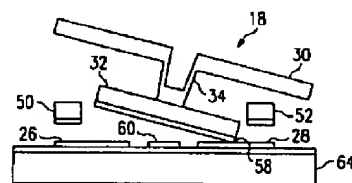
【図3】



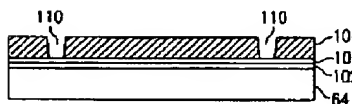
【図6】



【図7】



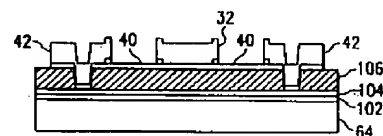
【図8】



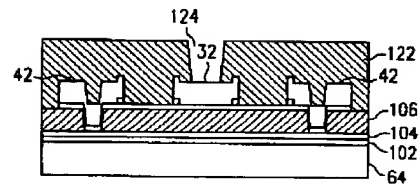
【図9】



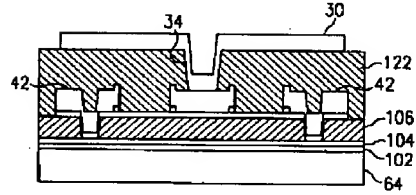
【図10】



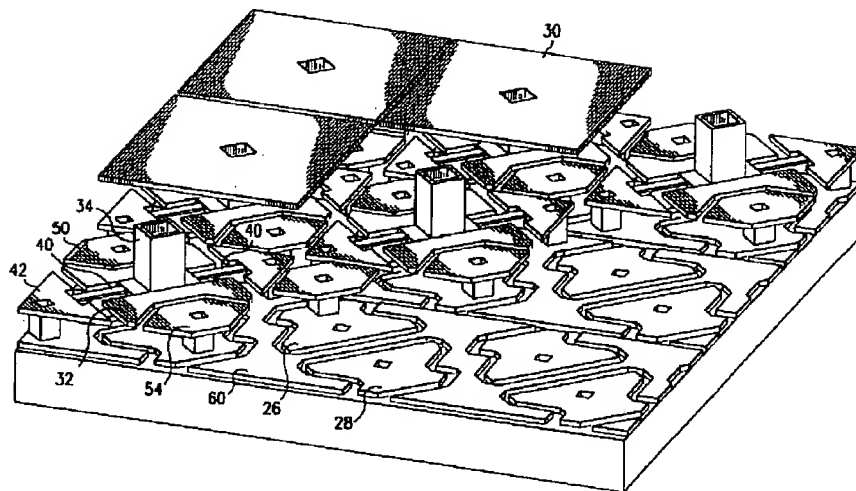
【图 1 1】



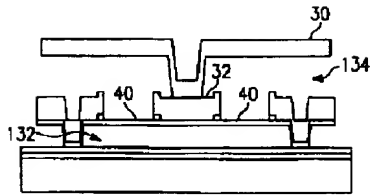
【図 1 2】



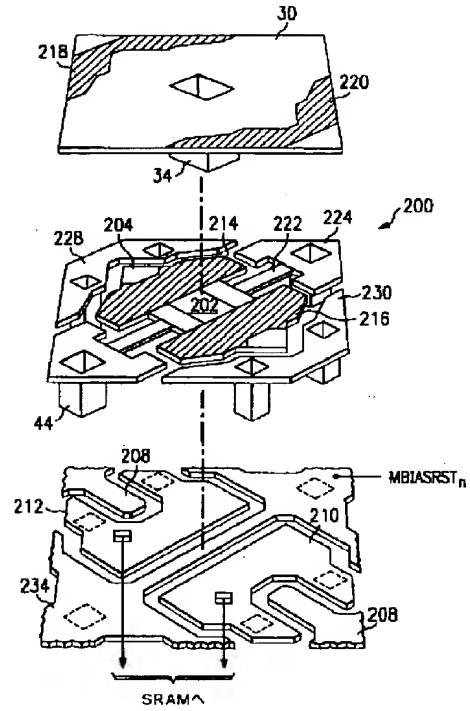
【図4】



【図 13】



【図 14】



【図 15】

